

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085064

(43)Date of publication of application : 25.03.1994

(51)Int.Cl. H01L 21/82
H01L 27/118

(21)Application number : 04-263059 (71)Applicant : MITSUBISHI ELECTRIC CORP

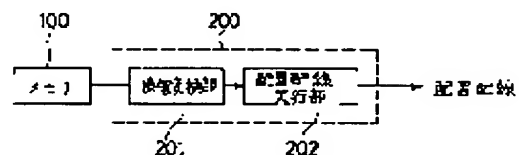
(22)Date of filing : 04.09.1992 (72)Inventor : ARIMOTO AKIYA

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS DEVICE

(57)Abstract:

PURPOSE: To raise usage efficiency of chip area by preprocessing before execution of automatic arrangement/routing for variable cell height.

CONSTITUTION: The information on a basic logical gate cell and logical macro cell in the circuit information stored in a memory 100 are converted into the information of such as a single transistor cell for each conduction type, series connection transistor cell, parallel connection transistor cell and connection between these cells, and then automatic arrangement/routing is processed by an arrangement/routing executing part 202. By this, each gate type and macro type can be designed into cells of different heights so that automatic arrangement/routing, accompanied by high usage efficiency of chip area, is realized.



LEGAL STATUS

[Date of request for examination] 14.07.1997

[Date of sending the examiner's decision of rejection] 07.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-85064

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

H 0 1 L 21/82
27/118

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

8225-4M

H 0 1 L 21/ 82

C

M

審査請求 未請求 請求項の数14(全 19 頁)

(21)出願番号 特願平4-263059

(22)出願日 平成4年(1992)9月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 在本 昭哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

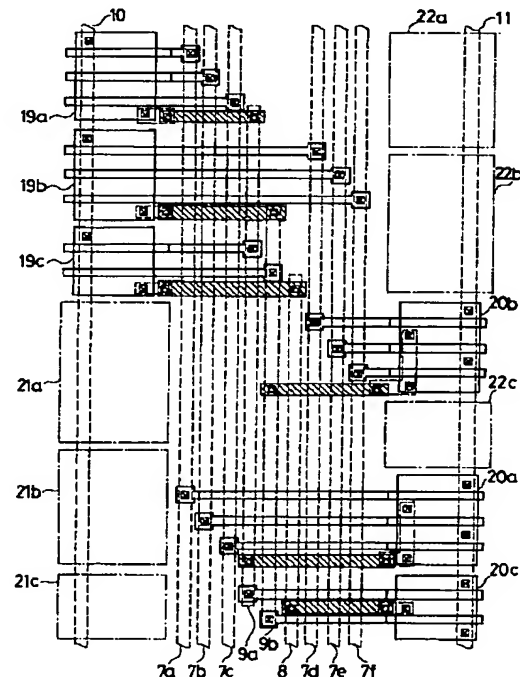
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体集積回路製造装置及び製造方法

(57)【要約】

【目的】 計算手段を使用した自動配置配線を行って、かつ従来のゲートアレイやスタンダードセルによりチップ面積の利用効率の高い半導体集積回路を実現する。

【構成】 配置配線実行部202前段に情報変換部201を設け、自動配置配線処理実行の前段階として、回路情報の基本論理ゲートおよび論理マクロを、第1の導電型の単一トランジスタセル、第1の導電型のトランジスタを複数個直列接続したセル、第1の導電型のトランジスタを複数個並列接続したセル、第2の導電型の単一トランジスタセル、第2の導電型のトランジスタを複数個直列接続したセル、第2の導電型のトランジスタを複数個並列接続したセル情報、およびそれらセルを相互に接続する配線情報に展開する前処理を実行する。



【特許請求の範囲】

【請求項1】 論理回路を構成するための基本論理ゲートセル、論理マクロセル情報、及びそれらの相互接続の情報を含む回路情報をもとに自動的にセルの配置及び配線を行ない相補MOS型半導体集積回路を製造する装置において、

上記基本論理ゲートセル、論理マクロセル情報、及びそれらの相互接続の情報を含む回路情報を記憶する記憶手段と、

上記記憶手段に記憶されている上記基本論理ゲートセル、論理マクロセル情報を、各導電型毎の単一トランジスタセル、直列接続トランジスタセル、並列接続トランジスタセルの情報、及びこれらセルを相互に接続する配線情報に置き換える情報変換部と、これら情報に基づいて自動的にセルの配置及びセル間の配線接続を行う配置配線実行部とを有する計算手段とを備えたことを特徴とする半導体集積回路製造装置。

【請求項2】 請求項1記載の半導体集積回路製造装置において、

上記計算手段は、

上記直列接続または並列接続トランジスタセルを構成するトランジスタの個数が所定値以上の場合に、それぞれ当該直列トランジスタセルの情報を上記所定値以下の複数の直列トランジスタセルまたは並列接続トランジスタセル情報に置き換える第2の情報変換部を有することを特徴とする半導体集積回路製造装置。

【請求項3】 請求項2記載の半導体集積回路製造装置において、

上記第2の情報変換部は、

上記直列接続または並列接続トランジスタセルを構成するトランジスタの個数が3ないし5個となるように情報変換を行うことを特徴とする半導体集積回路製造装置。

【請求項4】 請求項1記載の半導体集積回路製造装置において、

上記情報変換部は、

上記情報変換時に、上記単一トランジスタセルの情報としてチャンネル長の異なる複数種の情報を出力するものであることを特徴とする半導体集積回路製造装置。

【請求項5】 請求項1項記載の半導体集積回路製造装置において、

上記情報変換部は、

上記記憶手段に記憶されている上記基本論理ゲートセル、論理マクロセル情報を変換する際に、各導電型毎の単一トランジスタセル及び直列接続トランジスタセルの情報をを用いて並列接続トランジスタセルの情報に置き換えるものであることを特徴とする半導体集積回路製造装置。

【請求項6】 請求項1記載の半導体集積回路製造装置において、

上記情報変換部は、

上記情報変換後に得られた各セル情報を、個数の多い導電型のトランジスタセル情報からなるもののみを同一列に配置するものであることを特徴とする半導体集積回路製造装置。

【請求項7】 請求項1記載の半導体集積回路製造装置において、

上記情報変換部は、

上記各セルを配置した後に、隣接して配置された導電性の異なるセル間の間隔を検出し、これらが所定値以下の間隔で配置されている場合には、当該セル間の間隔が所定値以上に保たれるように上記配置配線実行部を制御して再配置を行う配置間隔制御部を有することを特徴とする半導体集積回路製造装置。

【請求項8】 論理回路を構成するための基本論理ゲートセル、論理マクロセル情報、及びそれらの相互接続の情報を含む回路情報をもとに自動的にセル配置及び配線を行ない相補MOS型半導体集積回路を製造する方法において、

上記基本論理ゲートセル、論理マクロセル情報を、各導電型毎の単一トランジスタセル、直列接続トランジスタセル、並列接続トランジスタセルの情報、及びこれらセルを相互に接続する配線情報に置き換え、これら情報に基づいて自動的にセルの配置及びセル間の配線接続を行い相補MOS型半導体集積回路を製造することを特徴とする半導体集積回路の製造方法。

【請求項9】 請求項8記載の半導体集積回路の製造方法において、

上記直列接続または並列接続トランジスタセルを構成するトランジスタの個数が所定値以上の場合に、当該直列接続トランジスタセルまたは並列接続トランジスタセルの情報を、それぞれ上記所定値以下の複数の直列接続トランジスタセル情報、または並列接続トランジスタセル情報に置き換えることを特徴とする半導体集積回路の製造方法。

【請求項10】 請求項8記載の半導体集積回路の製造方法において、

上記直列接続または並列接続トランジスタセルを構成するトランジスタの個数が3ないし5個となるように情報変換を行うことを特徴とする半導体集積回路の製造方法。

【請求項11】 請求項8記載の半導体集積回路の製造方法において、

上記単一トランジスタセルの情報として、チャンネル長の異なる複数種のものが用いられることを特徴とする半導体集積回路の製造方法。

【請求項12】 請求項8項記載の半導体集積回路の製造方法において、

上記記憶手段に記憶されている上記基本論理ゲートセル、論理マクロセル情報を変換する際に、各導電型毎の単一トランジスタセル情報と直列接続ト

ンジスタセル情報を用いて上記並列接続トランジスタセルの情報を得ることを特徴とする半導体集積回路の製造方法。

【請求項 1 3】 請求項 8 記載の半導体集積回路の製造方法において、
上記情報変換後に得られた各セル情報を、個数の多い導電型のトランジスタセル情報からなるもののみを同一列に配置するようにしたことを特徴とする半導体集積回路の製造方法。

【請求項 1 4】 請求項 8 記載の半導体集積回路の製造方法において、
上記各セルを配置した後に、導電性の異なるセルが隣接して配置される場合には、当該セル間の間隔が所定値以上に保たれるように再配置することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は半導体集積回路（以下、ICとも言う）製造装置及び製造方法に関し、特に自動配置配線を適用する相補MOS型半導体集積回路を製造する装置及びその方法に関するものである。

【0 0 0 2】

【従来の技術】半導体技術の進歩に伴い、従来個別のトランジスタや標準ゲートICの組合せによって構成されていた電子回路が半導体集積回路化される傾向が強くなってきている。これらの多くは少量多品種生産品であり、短い開発期間が要求されているため、集積回路のパターン設計に計算機等の計算手段を用いた自動配置配線による設計を利用することが多い。すなわち図 4 2 に示すように、メモリ 1 0 0 が記憶している回路情報をもとに計算機 1 0 1 で所望とする回路を設計するのに必要なセルを算出し、各セル間を配線により接続して自動的に配置配線を行う構成となっている。

【0 0 0 3】この最も典型的な例は相補MOS型ゲートアレイである。以下にこのゲートアレイについて説明する。図 4 3 はゲートアレイのチップ構成例を示し、図において、1 a, 1 b, 1 c, 1 d は電源入出力端子およびそれらと内部の回路との接続を行う回路等により構成される周辺回路部、2 a～2 g はそれぞれ基本セルにより構成されたセル列であり、セル列の間に基本セル相互を接続する配線領域 3 a～3 f が設けられている。

【0 0 0 4】図 4 4 は上記ゲートアレイのセル列 2 a～2 g を構成する基本セルの例を示す図であり、図において、4 a, 4 b はN型MOSトランジスタ、5 a, 5 b はP型MOSトランジスタである。図に示すようにゲートアレイのセル列を構成する基本セルは、2 個のN型MOSトランジスタと 2 個のP型MOSトランジスタにより構成される。これらの周辺回路 1 a～1 d やセル列 2 a～2 g はあらかじめその位置を固定してチップ上にトランジスタレベルの形成までなされていて、回路情報を

もとに各基本セル間を接続して所望の集積回路を実現するようになっている。

【0 0 0 5】このセル間の接続の簡単な例を図に従って示す。図 4 5 は、3 入力×2 のAND-ORゲートを示したものである。図中、6 はAND-ORゲート本体を示し、7 a～7 f はその入力、8 は出力を示す。この3 入力×2 のAND-ORゲート 6 をN型およびP型トランジスタの接続により示した図が図 4 6 である。

【0 0 0 6】図において、9 a, 9 b が前段の 3 入力NANDゲートの出力であり、1 0 は－電源（以下、VSSと記す）、1 1 は＋電源（以下、VDDと記す）である。この図 4 6 の回路を基本セルの相互接続によって実現したものが図 4 7 であり、5 個の基本セルによって回路が実現され、第一層の金属配線が点線で、第二層の金属配線が破線で示されている。

【0 0 0 7】図 4 6 の回路では、前段の 3 入力NANDの部分でN型およびP型のトランジスタが 3 個ずつ使用されるが、基本セルはN型およびP型のトランジスタ 2 個ずつを単位として構成されているので、トランジスタの余りが発生するが、これについては余分なトランジスタのソースとドレインを同じ電位に接続することにより実質的になくしている。

【0 0 0 8】ゲートアレイはあらかじめ想定される回路規模に応じて数種類ないし十数種類のボディとなるものを準備しておき、金属配線の変更のみにより多くの種類の集積回路を実現することができる。このため、ごく少量生産を行う製品の開発・生産に適している。

【0 0 0 9】しかし、ある程度、使用数量の見込まれる回路を設計する場合には、ゲートアレイではチップの面積を小さくすることが困難である。その最大の原因は、ゲートアレイにおいては各基本セルおよび基本セルを構成するP型のトランジスタ、N型のトランジスタの位置がチップ内で固定されているため、配線のための領域をあらかじめ多めに確保する必要があり、チップ面積の利用効率が低くならざるをえないためである。近年、敷き詰め型ゲートアレイと称してチップの内部回路領域のほぼ全面に基本セルを敷き詰めて配置し、配線に必要な領域について基本セルを使用せず、当該部分を配線領域に使用するものがあるが、前記の欠点を完全には克服できない。

【0 0 1 0】上述したゲートアレイ以外の回路設計方式としてスタンダードセルと呼ばれる設計方式がある。これは、インバータ、NANDゲート、NORゲート等のゲート類および各種のフリップ・フロップ、カウンタ等のマクロ類をあらかじめ同じ高さのセルとして設計して準備し、それらを回路情報に基づいて計算手段によって自動的に配置、配線することにより集積回路チップを構成するものである。

【0 0 1 1】図 4 6 の 3 入力×2 のAND-ORゲートのセルの例を図 4 8 に示す。図中、対応する番号は図 4

7 と同一である。他のセルについても高さ H の等しいものを形成しておく。スタンダードセル方式の場合にはゲートアレイの場合と異なり、あらかじめセル配置が固定していないため、セル同士を配線する領域の面積を、配線の量に応じて最適化することができ、また上述のようにセル内のトランジスタを無駄にすることも少なくなる。

【0012】しかし、個々のセルについては、ゲートアレイの場合と同様にセルの高さが固定であり、全体の回路に対してチップレイアウトを最適化することはできない。たとえば、マクロとして大きな規模のカウンタまで実現するセル設計を行うと基本ゲートではセル内に無駄なスペースが多くなり、逆にセル高さを低く設計するとカウンタ等をマクロ化できなくなり、その都度それらを小さなセルのレベルまで展開する必要がある。

【0013】その他に、ゲートアレイやスタンダードセル方式では、面積を小さくすることが困難な回路が多数存在する。その一例として順序回路によく用いられる多入力の AND-OR 回路がある。図 49 は 3 入力×5 の AND-OR 回路を示し、図中、13a～13o が入力であり、14 が出力である。この回路は、手設計であれば図 45 のように設計できる。すなわち、直列接続された N 型トランジスタを複数列並列に接続し、1 個の P 型トランジスタによってプルアップすることにより、AND-OR インバータを形成し、その出力をインバータで反転して実現する。図 50 において、15a～15e が直列接続された N 型トランジスタ、16 が P 型プルアップトランジスタ、17 が AND-OR インバータの出力、18 がインバータを示す。これに対してゲートアレイやスタンダードセル方式の場合には、多入力の AND-OR 回路は、これらを基本ゲートに展開する必要がある、面積増大が避けられない。

【0014】

【発明が解決しようとする課題】従来のゲートアレイやスタンダードセル IC は以上のようにして製造されているため、セルの高さが固定となるため集積回路化する対象となる回路に対してチップ面積を最小化することが困難であった。

【0015】本発明は以上のような問題点を解決するためになされたものであり、計算機等の計算手段を用いながら、よりチップ面積の利用効率の高い半導体集積回路を実現することができる半導体集積回路製造装置及び製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】この発明に係る半導体集積回路製造装置及び製造方法は、自動配置配線処理実行の前段階として、記憶手段に記憶されている回路情報中の基本論理ゲートセルおよび論理マクロセルを、各導電型毎の、単一トランジスタセル、トランジスタを複数個直列接続したセル、トランジスタを複数個並列接続した

セルの情報、およびそれらセル間を相互に接続する配線情報に展開する前処理を実行するようにしたものである。

【0017】

【作用】本発明においては、上述のように自動配置配線実行前に上記のような前処理を行うようにしたから、セルの高さを可変とすることができ、半導体集積回路を構成する各々の導電型のトランジスタを自動配置配線処理を用いて最適に配置することが可能になる。

【0018】

【実施例】

実施例 1. 以下、本発明の実施例を図について説明する。図 1 は本発明の第 1 の実施例による半導体集積回路製造装置を適用して製造される半導体集積回路のパターン図であり、ここでは 3 入力×2 の AND-OR 回路の配置例を示す図であり、図 2 はこの AND-OR 回路をトランジスタレベルに展開した回路図を示す。図において、図 42 及び図 43 と同一符号は同一または相当部分を示し、19a, 19b, 19c は 3 入力×2 の AND-OR 回路を構成する N 型の直列トランジスタセル、20a, 20b, 20c は 3 入力×2 の AND-OR 回路を構成する P 型の直列トランジスタセルである。

【0019】また、21a, 21b, 21c は他の回路で使用される N 型のトランジスタセル、22a, 22b, 22c は他の回路で使用される P 型のトランジスタセルである。これらの 19a～19c, 20a～20c, 21a～21c, 22a～22c は、後述の前処理手法により、あらかじめ与えられた回路情報よりトランジスタセルのレベルに展開される。これらのセルの配置配線については、従来スタンダードセル方式 IC において実施していたのとはほぼ同様の自動配置配線手法が使用可能である。

【0020】すなわち本発明の第 1 の実施例による半導体集積回路製造装置は図 3 に示すように、メモリ 100 に記憶されている回路情報の中の基本論理ゲートセル及び論理マクロセル情報を、計算手段 200 を構成する情報変換部 201 によって、各導電型毎の単一トランジスタセル、直列接続トランジスタセル、並列接続トランジスタセル、及びこれらセル間の接続情報に変換した後、配置配線実行部 202 にて自動配置配線処理を行うように構成されている。

【0021】以下に回路情報をトランジスタセルに展開するための前処理の手法について説明する。まず、回路情報のうち、各種のフリップ・フロップ、カウンタ等のマクロ類をインバータ、NAND ゲート、NOR ゲート、トランスミッションゲート等の基本ゲートに展開する。この展開については、階層化された回路記述の階層展開と同様に、前もって各マクロの展開の記述を基本ゲートレベルで行えばよい。

【0022】次に、上記展開により得られた基本ゲート

レベルの回路記述をトランジスタレベルの回路記述に展開する手法について説明する。以下の例では、回路情報を特定の構造の2進木データ構造として説明をすすめるが、他のデータ構造であっても同等の手法を実現できる。

【0023】図4に示すような、入力1～入力iを入力とし、出力を取り出す回路の基本ゲートの2進木記述を図5とする。図5の記述において、2進木の先頭の紙面左の要素は論理回路の種別を示し、紙面右の要素は出力ノードのリストの2進木である。入出力のリストの2進木は先頭の左側に出力を接続するノードを示し、右側は入力ノードを入力1のノードから順に2進木にし、最後の入力ノードiまで到達した後、2進木の右側に「空」を示すNULLを付けて終わる構造となっている。

【0024】従って、例えば図6に示すような(i-1)個のN型トランジスタの直列構造を有する回路の場合には図7のように、「N型直列トランジスタ」の種別の2進木になり、また図8のような(i-1)個のN型トランジスタの並列構造の場合には図9のように、「N

型並列トランジスタ」の種別の2進木になる。

【0025】次にこのデータ構造において、NANDゲートをトランジスタに展開する例を示す。図10は3入力のNANDゲートであり、図11はその2進木記述である。図10の3入力のNANDゲートをトランジスタで記述すると、図12に示すようになり、これは図13のようにN型の直列トランジスタとP型の並列トランジスタとに展開できる。

【0026】従って、図11のNANDの記述は、図14のようにN型直列トランジスタの2進木(図14(a))とP型並列トランジスタの2進木(図14(b))の2本の2進木に展開すればよいことになる。あらかじめ用意してある各々のパターンの単一トランジスタセル、直列接続トランジスタセル、または並列接続トランジスタセルとこの2進木による回路記述との対応は配置、配線時に各2進木の入力リストの長さに対応して対応を取る。

【0027】この操作を計算手段によって行うためには、まず図11の2進木のうち、点線で示すように分けて、論理回路の種別から出力までの図15に示す2進木と、それ以降の入力リストのみの図16に示す2進木を取り出す。

【0028】次いで、図15の2進木構造を複製し、図17に示すように、木の先頭の左要素の「NAND」を「N型直列トランジスタ」と入れ替え、また木の末端のNULLを左要素がVSSで、右要素がNULLの2進木と入れ替えた2進木を作るとともに、図18に示すように、木の先頭の左要素の「NAND」を「P型直列トランジスタ」と入れ替え、木の末端のNULLを左要素がVDDで、右要素がNULLの2進木と入れ替えた2

進木を作る。

【0029】そして、図17の2進木、図18の2進木の末端のNULLをそれぞれ図16で作成した入力リストの2進木と入れ替えることにより、図14(a)、(b)に示す2本の2進木が生成できる。計算機にこの操作を行わせるためのプログラムは、汎用のプログラム言語やLISP等のリスト処理言語によって作成することが可能である。

【0030】以上、NANDゲートを例として説明したが、図19に示すNORゲートの場合にも同様の手法によって、図20のNORの2進木を、図21(a)のN型の並列トランジスタの2進木と、図21(b)のP型の直列トランジスタの2進木の2本の2進木に展開できる。

【0031】このように本実施例によれば、回路情報中の基本論理ゲート及び論理マクロ情報を、各導電型毎の、単一トランジスタセル、直列接続トランジスタセル、並列接続トランジスタセル、及び各セル間を接続する配線情報に展開した後、該展開情報に基づいて自動配線処理を行うようにしたから、ゲート類及びマクロ類個々を異なる高さのセルとして設計することができ、チップ面積の利用効率の高い自動配置配線を行うことができる。

【0032】実施例2. 次に本発明の第2の実施例による半導体集積回路製造装置を図に基づいて説明する。上記実施例においては直列となるトランジスタの数に対して制約を付けていないが、実際には、トランジスタのすべての数に対して対応する直列トランジスタを用意することは困難であり、直列となるトランジスタの数に最大値を設け、それより多い場合には部分的に展開する必要がある。すなわち図22に示すように、情報変換部201において得られた直列接続となるトランジスタの個数をカウントして、その値が所定値よりも大きい場合には展開によって得られた直列接続トランジスタセルをさらに展開する第2の情報展開部として直列接続トランジスタ再展開部203を設けることが必要となる。以下、上述の前処理においてこれを具体的に実施する手法を示す。

【0033】図23は、7個のN型直列トランジスタが直列に接続された回路例である。この直列トランジスタを、最大3個の直列トランジスタ列に展開するには、図24のように、VSS側から入力1～入力3に接続する3個のトランジスタを取り出し、中間に中間ノード1を設け、3個の直列トランジスタと残りのトランジスタ部分とに分割すればよい。図24において3個のトランジスタを取り出した残りの部分は4個の直列トランジスタになるが、これについては更に同様の操作を行って、3個のトランジスタと残りの1つのトランジスタ部分に分ければよい。

【0034】以上説明した操作を、2進木表現された回路情報より行う手順を以下に示す。図25は、上記図2

3の7個のN型直列トランジスタからなる回路の2進木表現である。まず、この2進木を点線で分割して図26に示すように、トランジスタセルの種別、出力までの2進木と、入力リストの2進木とに分割し、入力リストの2進木は更に図27に示すように、トランジスタのソースと、3個のゲート入力1～3までの2進木、およびそれ以降の2進木に分割する。

【0035】次に図28に示すように、トランジスタのソースと、3個のゲート入力1～3までの2進木は、出力が中間ノードである直列トランジスタの2進木に接続し(図28(a))、それ以降の入力4～7の2進木は、出力が元の出力ノードで、第1の入力が前記の中間ノードである直列トランジスタの2進木に接続する(図28(b))により、目的とする図29(a)、(b)の2本の2進木に展開する。論理回路において一般的に用いられるNAND回路やNOR回路の大部分のものの入力数は5以下であり、かつそのうちのほとんどは3以下であるのでこのトランジスタ数の最大値は3ないし5とするのが最適である。

【0036】実施例3. 次に本発明の第3の実施例による半導体集積回路製造装置を図に基づいて説明する。上記実施例においては直列となるトランジスタの数に対して制約を付けたが、本実施例では同様の手法により、並列となるトランジスタの数に最大値を設け、それより多い場合には部分的に展開するようにしたものである。すなわち図30に示すように、第2の情報展開部として上記第2の実施例の直列接続トランジスタ再展開部に代えて並列接続トランジスタ再展開部204を設け、情報変換部201において得られた並列接続となるトランジスタの個数をカウントして、その値が所定値よりも大きい場合には展開によって得られた並列接続トランジスタセルをさらに展開するように構成したものである。

【0037】以下、これを具体的に実施する手法を示す。図31は7個のN型並列トランジスタが並列に接続された回路例である。この並列トランジスタを、最大3個の並列トランジスタ列に展開するには、図32のように、左側から入力1～3に接続する3個のトランジスタを取り出し、この3個の直列トランジスタと残りのトランジスタ部分とに分割すればよい。図32において3個のトランジスタを取り出した残りの部分は、4個の並列トランジスタになるが、これについては更に同様の操作を行って、3個のトランジスタと残りの部分に分ければよい。

【0038】以上、説明した操作を2進木表現された回路情報より行うには以下の手順で行う。図33は、上記図31で示した7個のN型並列トランジスタからなる回路の2進木表現である。まず、この2進木を点線で分割し図34に示すように、トランジスタセルの種別、出力までの2進木と、入力リストの2進木とに分割し、入力リストの2進木は更に図35のように、トランジスタの

ソースと、3個のゲート入力1～3までの2進木、およびそれ以降の2進木に分割する。

【0039】次に図36に示すように、トランジスタのソースと、3個のゲート入力1～3までの2進木は、出力が元の出力ノードである並列トランジスタの2進木(図36(a))に、それ以降の入力の2進木は、出力が元の出力ノード、第1の入力がVSSである並列トランジスタの2進木(図36(b))に接続することにより、目的とする図37(a)、(b)の2本の2進木に展開できる。

【0040】実施例4. 次に本発明の第4の実施例による半導体集積回路製造装置について説明する。上記第3の実施例においては並列となるトランジスタの数に対して制約を付けたが、一般的に並列接続のトランジスタセルは、直列接続のトランジスタセルに比べ、単一のトランジスタのセルに対するセル面積の低減率が小さいので、並列接続のトランジスタセルを使用せず、直列接続のトランジスタセルと単一のトランジスタセルのみを使用して配置配線を行うことも考えられる。この場合には、上記第3の実施例の手法で、並列となるトランジスタの数を1として回路情報の展開を行うことにより実現が可能である。

【0041】実施例5. 次に本発明の第5の実施例による半導体集積回路製造装置を図に基づいて説明する。上記各実施例においては基本ゲートについて示したが、本発明による半導体集積回路の回路情報は配置配線前にすべてトランジスタレベルに展開されるので、元の回路に従来技術の説明で挙げた図45のような多入力のAND-OR回路をトランジスタレベルで記述したものを混在させて、図38のようなパターン配置を行うことが可能である。図において、10a、10bは2本のVSS配線である。CPU等の大規模な順序回路を集積回路化する場合にはこの構成の回路が多用され、回路中のN型トランジスタの数がP型トランジスタの数に比べ非常に多くなる。よってこのような大規模順序回路の自動セル配置においては、図38のようにP型のトランジスタを一行に配置し、それと接続されるN型トランジスタをその列に隣接した複数列に配置することでチップ面積効率が向上する。

【0042】この場合の集積回路全体の配置例は図39のようになる。図において、1a～1dは周辺回路、3a～3fはセル間の配線領域、23a～23dはN型トランジスタのセル列、24a～24cはP型トランジスタのセル列であり、図から分かるように、チップ内のP型トランジスタセル列の数はN型トランジスタセル列より少なくなる。

【0043】実施例6. 次に本発明の第6の実施例による半導体集積回路製造装置を図に基づいて説明する。この実施例では論理ゲートセル、論理マクロセルの情報を単一トランジスタセル情報に展開する際に、必要に応じ

て異なるチャネル長の単一トランジスタセルを用いて展開するようにしたものである。

【0044】すなわち、上記第5の実施例において、図38のAND-ORインバータを構成するP型トランジスタ16は、通常のP型トランジスタと同じ寸法であったが、この実施例では図40に示すように、回路記述において別種類のトランジスタ16aを指定して配置配線し、寸法（チャネル長）を可変とすることができる。

【0045】実施例7. 次に本発明の第6の実施例による半導体集積回路製造装置を図に基づいて説明する。上記各実施例においてはP型のセル列とN型のセル列の間隔の各々はその間に配置される配線の数によって制約される間隔まで間隔を縮めることができるが、その間隔に入る配線数が非常に少ない場合には、セル配置後のP型のセル列とN型のセル列との間隔が狭くなりすぎラッチアップが発生しやすくなる可能性がある。この実施例では、ラッチアップの危険性を回避するために、セル列の配置後にP型のセル列とN型のセル列との間隔がある特定の距離より長いかどうかを検証し、もし短いものが発見された場合には該当するP型のセル列とN型のセル列の間隔を所定の距離まで拡張し、その後配線の修正を実施するようにしたものである。

【0046】図41は本実施例のブロック構成図を示し、図において、205は配置配線実行ブロック202で配置配線処理がなされた後に、P、N型のセル列の間隔を検証し、ラッチアップの恐れがあるものに対してその間隔を大きくするように配置配線実行部202に指令を出す配置間隔制御部である。

【0047】

【発明の効果】以上のように、この発明によれば、回路情報をもとに計算機等の計算手段を用いて自動的に配置配線を行う半導体集積回路において、配置配線処理実行の前段階として、前記回路情報中の基本論理ゲートセルおよび論理マクロセルを、各導電型毎の、単一トランジスタセル、トランジスタを複数個直列接続したセル、トランジスタを複数個並列接続したセルの情報、及びこれらセルを相互に接続する配線情報に展開する前処理を実行するようにしたから、セルの高さを可変とすることができ、半導体集積回路を構成する各々の導電型のトランジスタを自動配置配線処理を用いて最適に配置することが可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体集積回路製造装置により得られた3入力×2のAND-OR回路の配置例を示す図である。

【図2】上記3入力×2のAND-OR回路をトランジスタレベルに展開した回路図である。

【図3】上記半導体集積回路製造装置のブロック構成図である。

【図4】入力1～iを入力し出力を取り出す基本ゲート

を示す図である。

【図5】上記基本ゲートを2進木記述したものを示す図である。

【図6】i～1個の直列接続されたN型トランジスタを示す図である。

【図7】上記直列接続されたN型トランジスタを2進木記述したものを示す図である。

【図8】i～1個の並列接続されたN型トランジスタを示す図である。

10 【図9】上記並列接続されたN型トランジスタを2進木記述したものを示す図である。

【図10】3入力のNANDゲートを示す図である。

【図11】上記3入力NANDゲートを2進木記述したものを示す図である。

【図12】上記3入力NANDゲートをトランジスタによって記述した回路図である。

【図13】上記3入力NANDゲートを、直列接続のN型トランジスタと、並列接続のP型トランジスタのブロックに分けた回路図である。

20 【図14】上記3入力のNANDゲートの回路記述を、直列接続のN型トランジスタの2進木記述と、並列接続のP型トランジスタの2進木トランジスタの2進木記述に展開したものを示す図である。

【図15】上記図11の2進木から論理回路の種別と出力までを取り出し2進木記述したものを示す図である。

【図16】上記図11の2進木から図11の2進木を取り出した残りの、入力リストを2進木記述したものを示す図である。

30 【図17】図15の2進木より作ったN型直列トランジスタを2進木記述したものを示す図である。

【図18】図15の2進木より作ったP型並列トランジスタを2進木記述したものを示す図である。

【図19】3入力のNORゲートを示す図である。

【図20】上記3入力のNORゲートを2進木記述したものを示す図である。

【図21】上記3入力のNORゲートの回路記述を、並列接続のN型トランジスタの2進木記述と、直列接続のP型トランジスタの2進木トランジスタの2進木記述に展開したものを示す図である。

40 【図22】本発明の第2の実施例による半導体集積回路製造装置のブロック構成図である。

【図23】7個のN型直列トランジスタの回路図である。

【図24】上記N型直列トランジスタの回路を3個の直列トランジスタと残りのトランジスタとに分割した回路を示す図である。

【図25】上記N型直列トランジスタの回路を2進木記述したものを示す図である。

50 【図26】図25の2進木を2つの2進木に分割したものを示す図である。

【図27】図26の入力リストの2進木を3個のゲート入力までの2進木とそれ以降の2進木とに分割したものを示す図である。

【図28】図27に示した2進木に、それぞれの入力を接続すべき2進木を生成したものを示す図である。

【図29】上記7個のN型直列トランジスタの2進木を3個の直列トランジスタの2進木と残りの直列トランジスタの2進木とに分割した結果を示す図である。

【図30】本発明の第3の実施例による半導体集積回路製造装置のブロック構成図である。

【図31】7個のN型並列トランジスタの回路図である。

【図32】上記N型並列トランジスタの回路を3個の直列トランジスタと残りのトランジスタとに分割した回路を示す図である。

【図33】上記N型並列トランジスタの回路を2進木記述したものを示す図である。

【図34】図33の2進木を2つの2進木に分割したものを示す図である。

【図35】図33の入力リストの2進木を3個のゲート入力までの2進木とそれ以降の2進木とに分割したものを示す図である。

【図36】図35の2進木に、それぞれの入力を接続すべき2進木を生成したものを示す図である。

【図37】上記7個のN型並列トランジスタの2進木を3個の並列トランジスタの2進木と残りの並列トランジスタの2進木とに分割した結果を示す図である。

【図38】本発明の第5の実施例による半導体集積回路製造装置にて製造された3入力×5のAND-OR回路の配置図である。

【図39】上記3入力×5のAND-OR回路のチップ全体のセル列の配置図である。

【図40】本発明の第6の実施例による半導体集積回路製造装置にて製造された3入力×5のAND-OR回路の配置図である。

【図41】本発明の第7の実施例による半導体集積回路製造装置のブロック構成図である。

【図42】従来の半導体集積回路製造装置のブロック構成図である。

【図43】相補MOS型ゲートアレイのチップ構成例を示す図である。

【図44】上記ゲートアレイの基本セルの例を示す図である。

【図45】3入力×2のAND-ORゲートを示す図である。

【図46】上記3入力×2のAND-ORゲートをN型およびP型トランジスタの接続により示した回路図であ

る。

【図47】上記3入力×2のAND-ORゲートをゲートアレイの基本セルにより構成した例を示す図である。

【図48】上記3入力×2のAND-ORゲートのスタンダードセルの一例を示す図である。

【図49】3入力×5のAND-OR回路を示す図である。

【図50】上記3入力×5のAND-OR回路を手設計する場合の回路設計例を示す図である。

10 【符号の説明】

1 a ~ 1 d 伝送路

2 a ~ 2 g ゲートアレイのセル列

3 a ~ 3 f 配線領域

4 a, 4 b N型MOSトランジスタ

5 a, 5 b P型MOSトランジスタ

6 3入力×2のAND-ORゲート

7 a ~ 7 f 3入力×2のAND-ORゲートの入力

8 3入力×2のAND-ORゲートの出力

9 a, 9 b 3入力×2のAND-ORゲートの前段の

20 3入力NAND出力

10, 10 a, 10 b -電源(VSS)

11 +電源(VDD)

12 3入力×5のAND-ORゲート

13 a ~ 13 o 3入力×5のAND-ORゲートの入力

14 3入力×5のAND-ORゲートの出力

15 a ~ 15 e 直列接続されたN型トランジスタ

16 P型プリアップトランジスタ

16 a 寸法を変えたP型プリアップトランジスタ

30 17 AND-ORインバータの出力

18 インバータ

19 a ~ 19 c N型の直列トランジスタセル

20 a ~ 20 c P型の並列トランジスタセル

21 a ~ 21 c 他の回路で使用するN型のトランジスタセル

22 a ~ 22 c 他の回路で使用するP型のトランジスタセル

23 a ~ 23 d N型トランジスタのセル列

24 a ~ 24 c P型トランジスタのセル列

40 100 メモリ(記憶手段)

200 計算手段

201 情報変換部

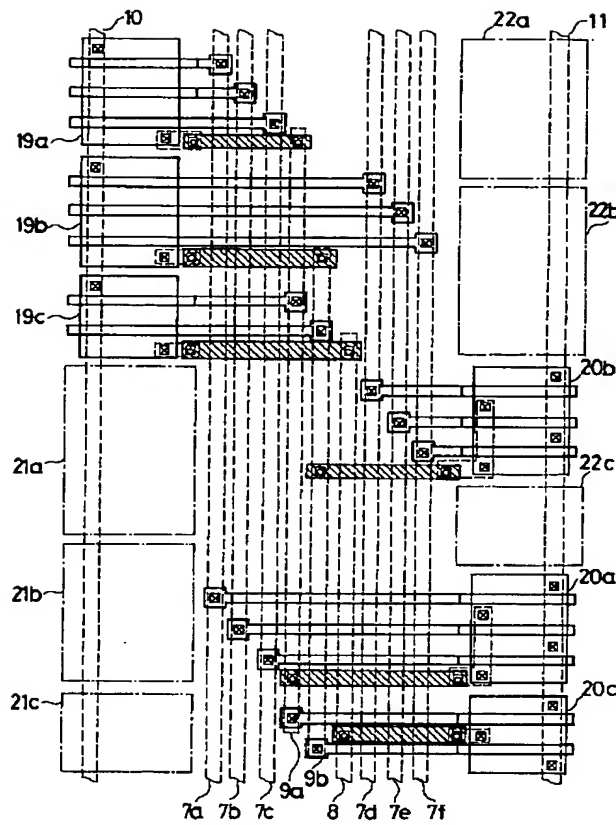
202 配置配線実行部

203 直列接続トランジスタ再展開部

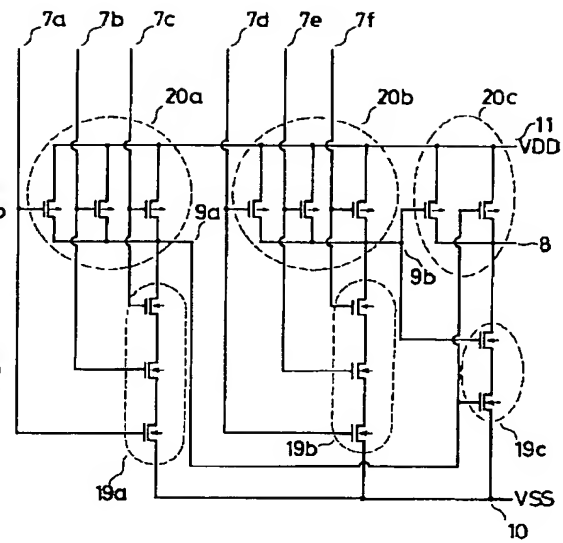
204 並列接続トランジスタ再展開部

205 配置間隔制御部

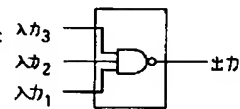
【図1】



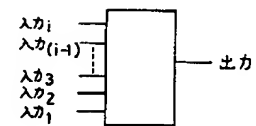
【図2】



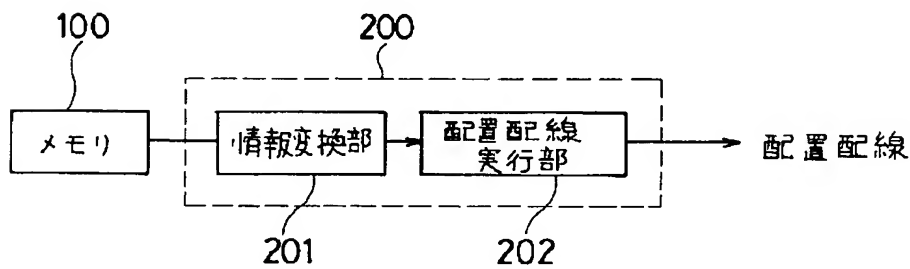
【図10】



【図4】

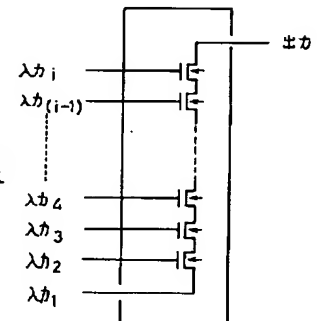


【図3】

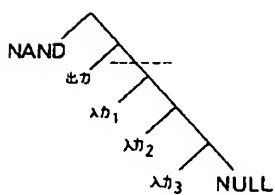


200: 計算手段

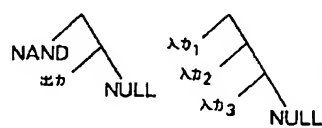
【図6】



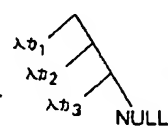
【図11】



【図15】



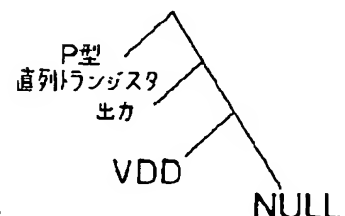
【図16】



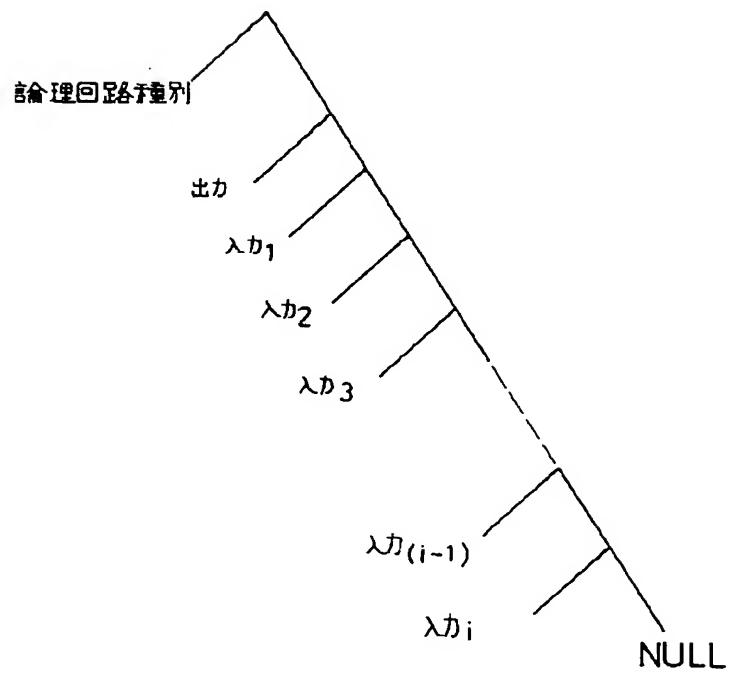
【図17】



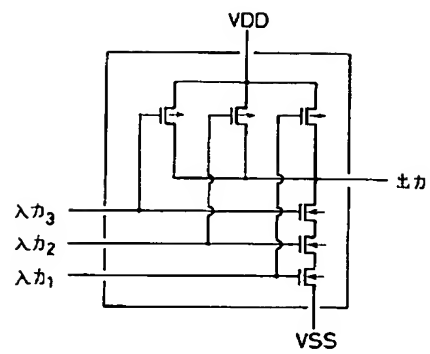
【図18】



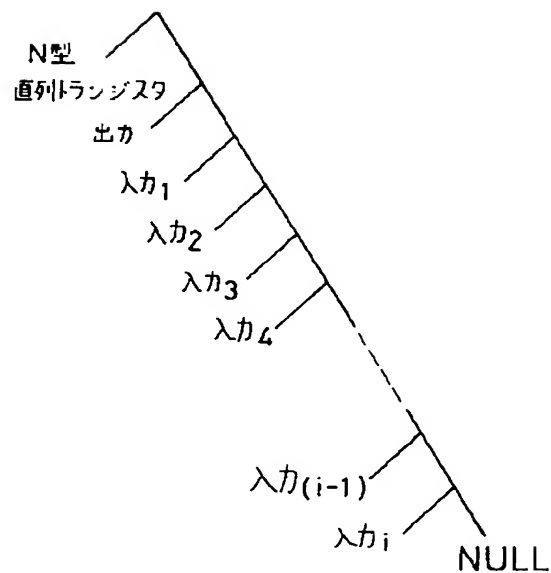
【図 5】



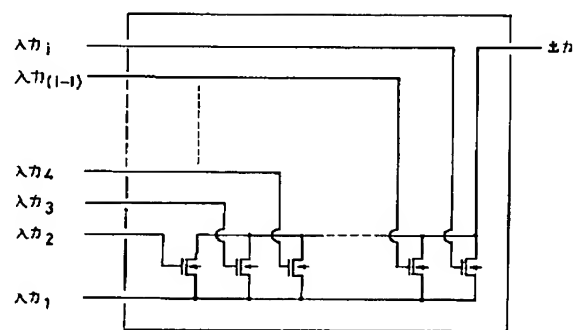
【図 12】



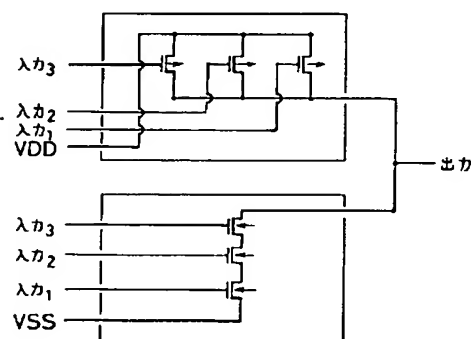
【図 7】



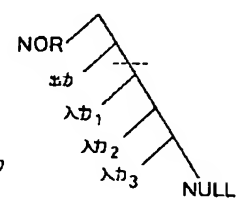
【図 8】



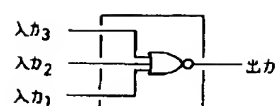
【図 13】



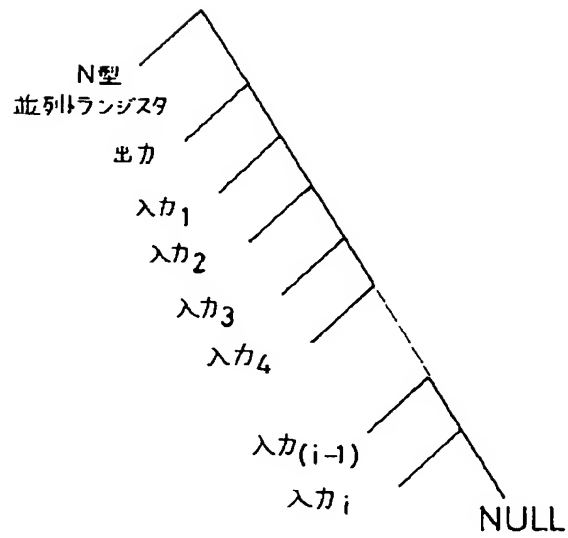
【図 20】



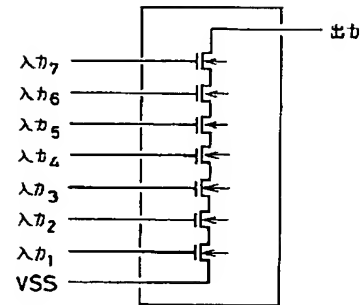
【図 19】



【図9】

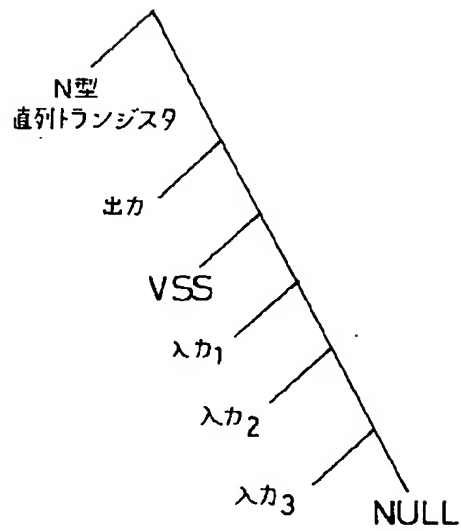


【図23】

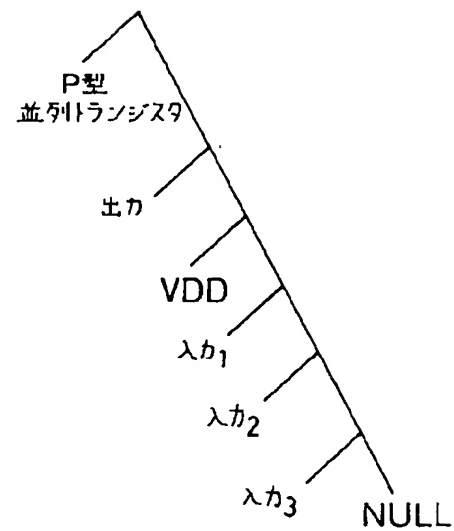


【図14】

(a)



(b)



(a) N型 並列トランジスタ

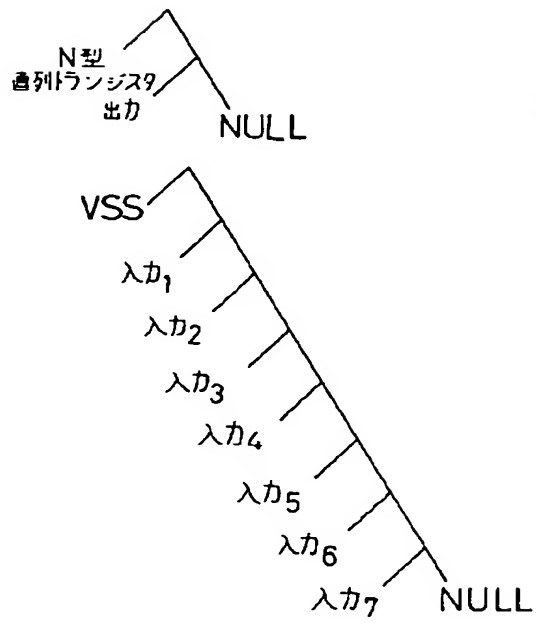
(b) P型 並列トランジスタ

```

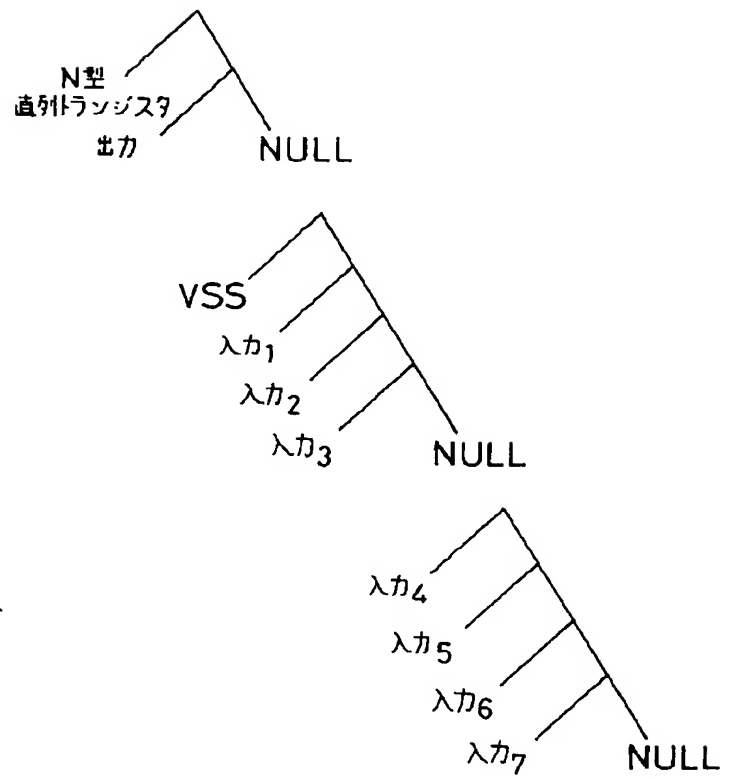
graph LR
    100[メモリ] --> 201[情報変換部]
    201 --> 200[配置配線実行部]
    200 --> 配置配線[配置配線]
    201 <--> 203[直列接続トランジスタ再配置部]
    203 <--> 200
    subgraph 200 [ ]
        201
        200
    end

```

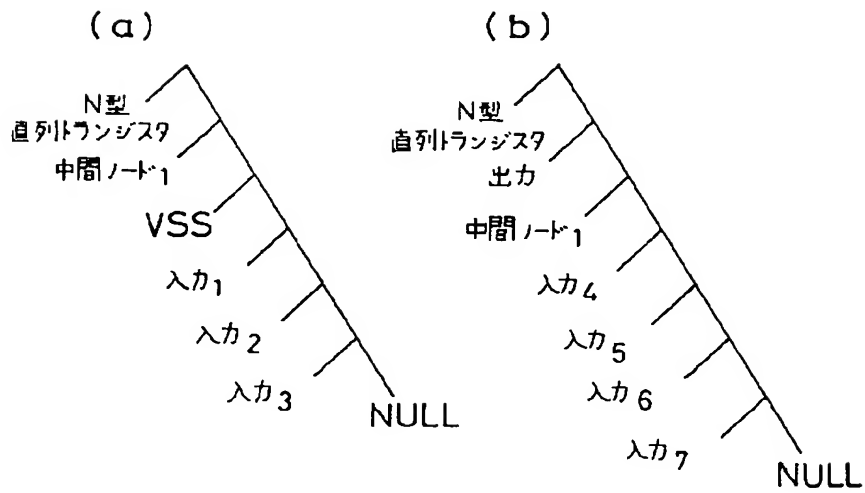
【図26】



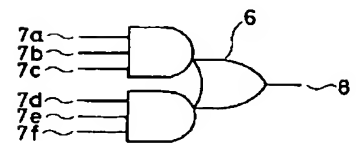
【図27】



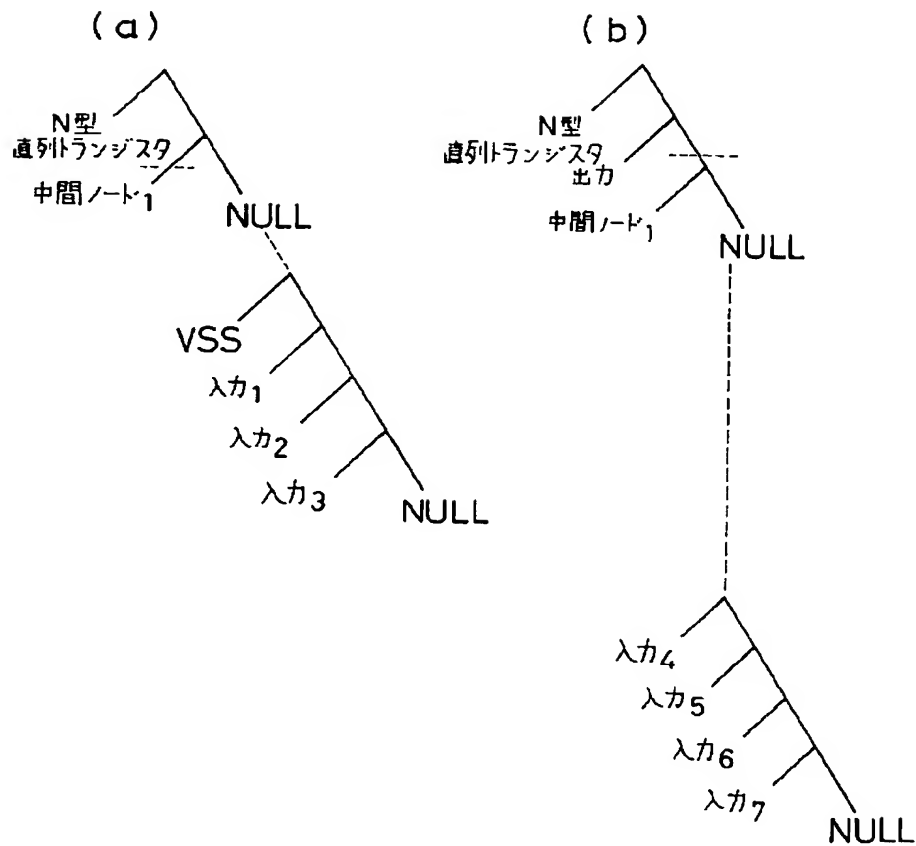
【図29】



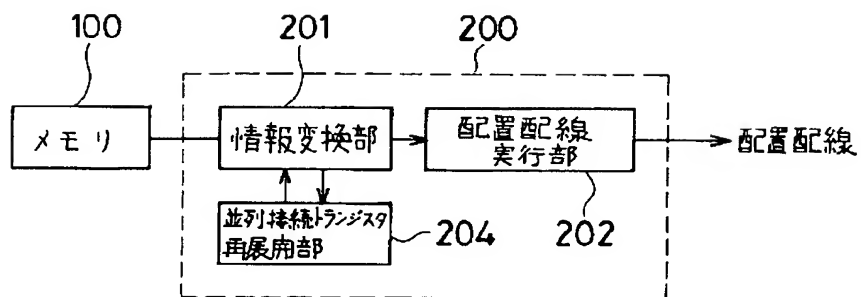
【図45】



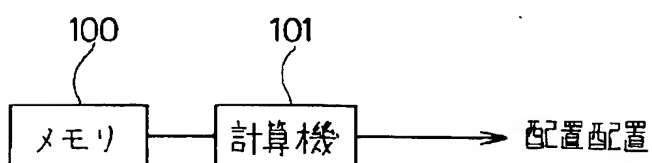
【図 2 8】



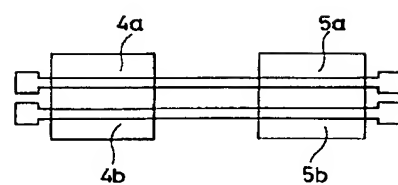
【図 3 0】



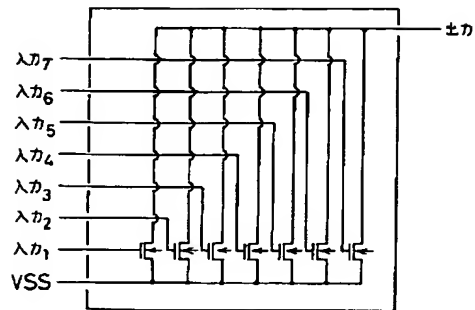
【図 4 2】



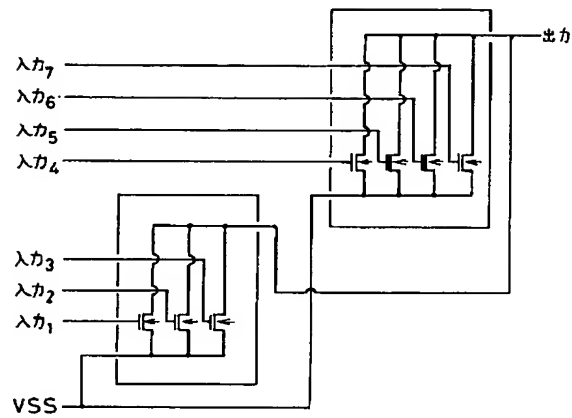
【図 4 4】



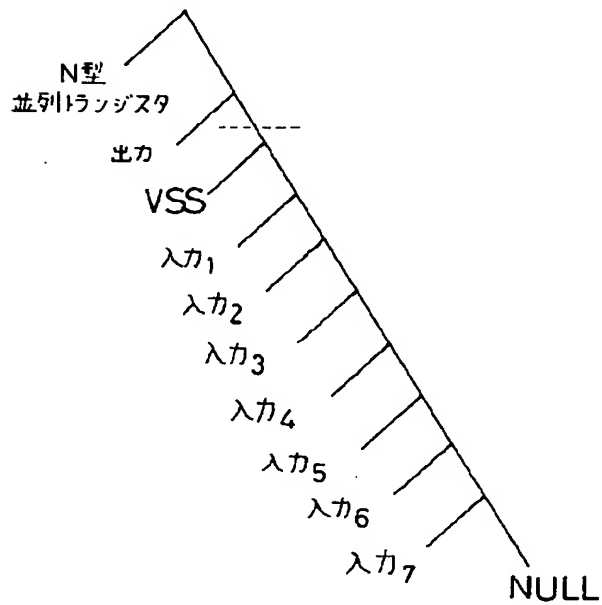
【図 3 1】



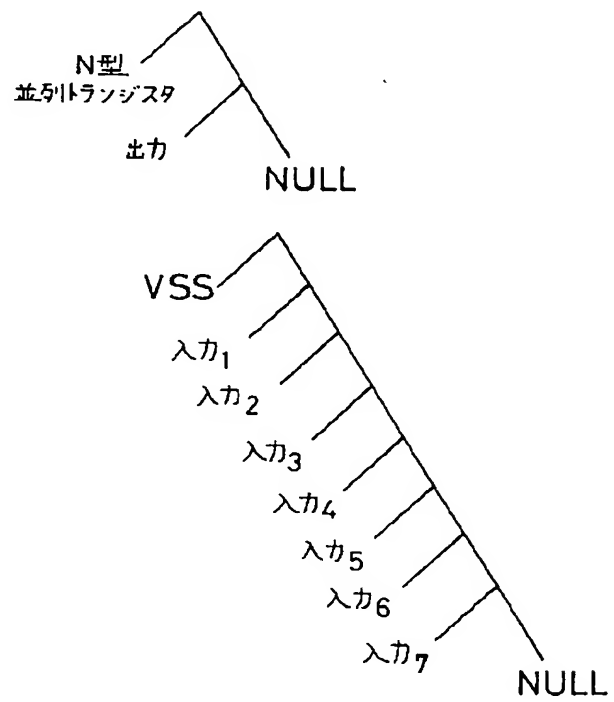
【図 3 2】



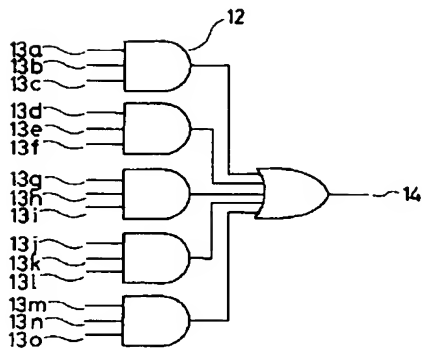
【図 3 3】



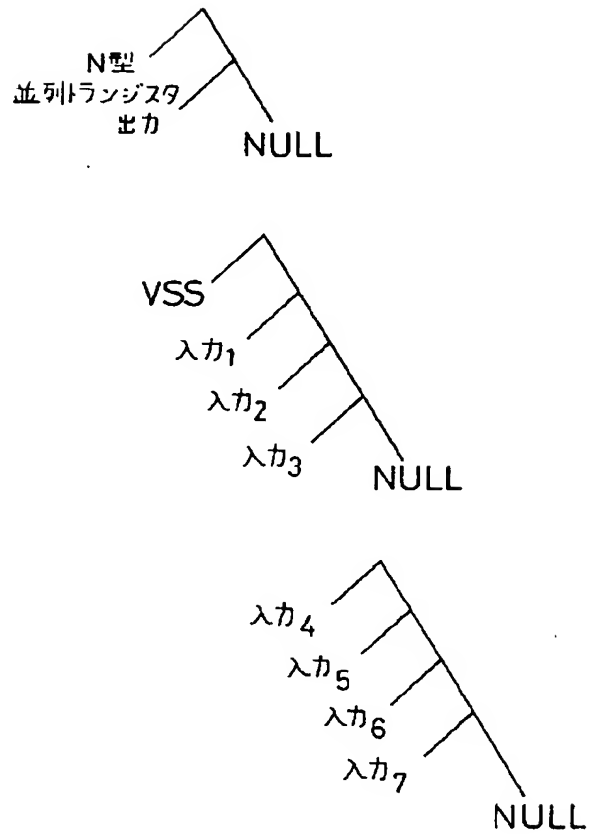
【図 3 4】



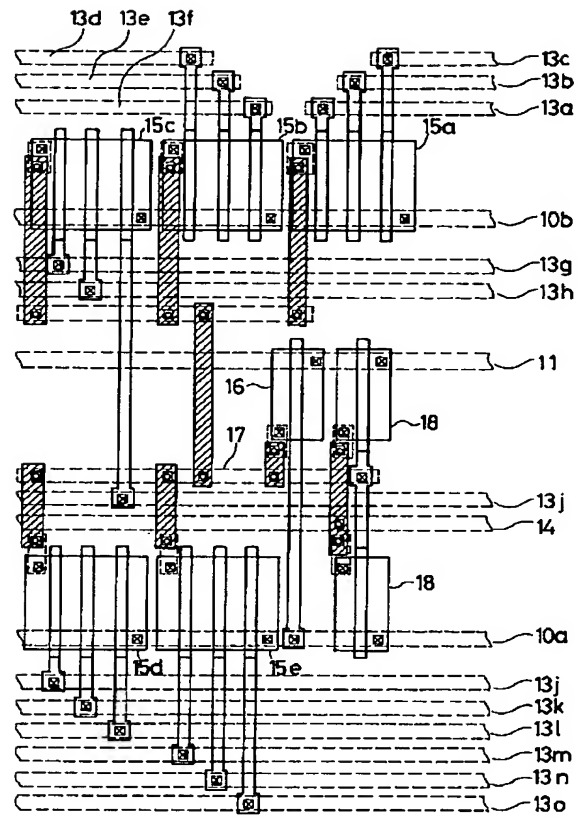
【図 4 9】



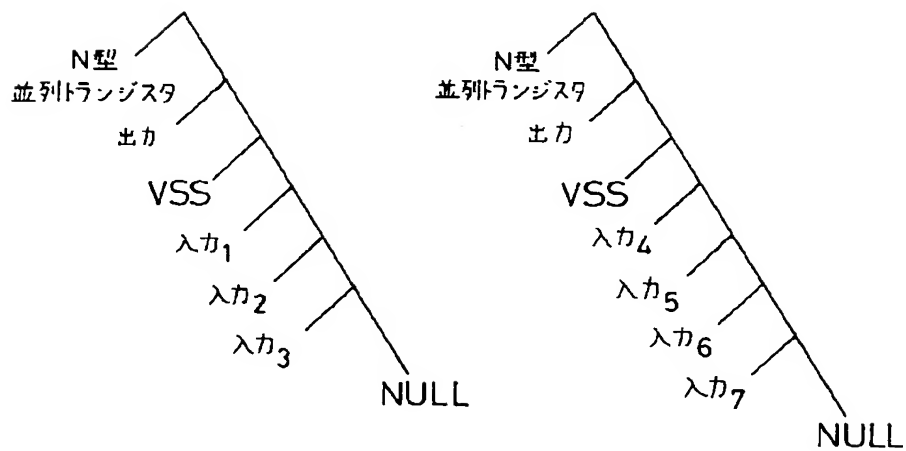
【図 3 5】



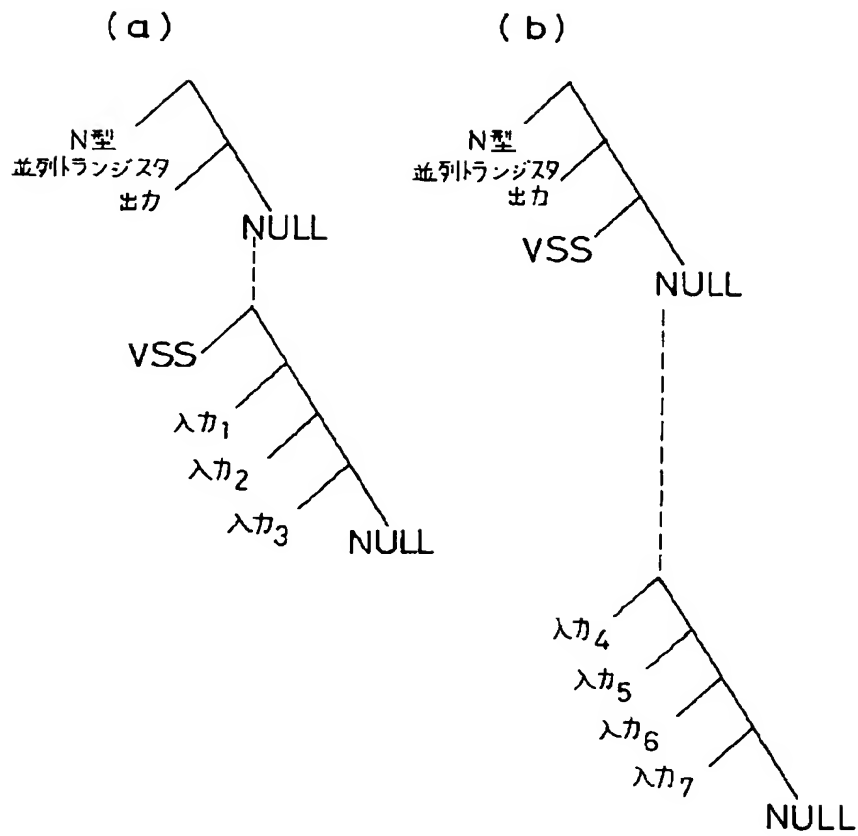
【図 3 8】



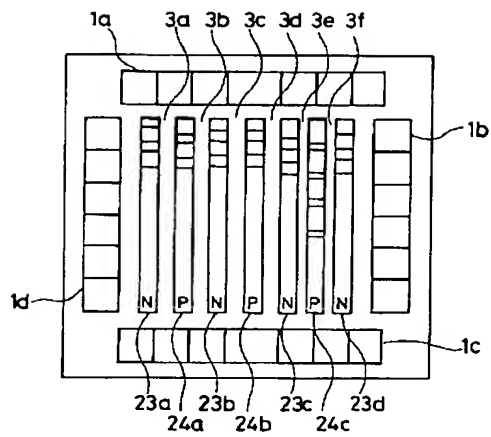
【図 3 7】



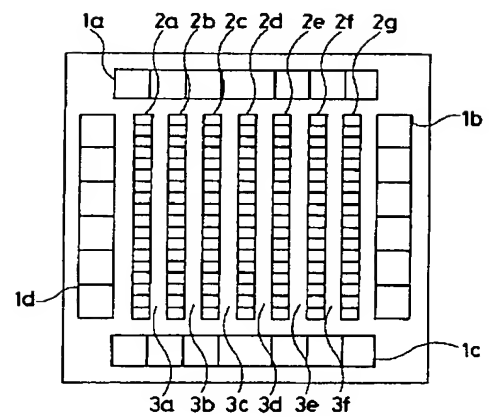
【図36】



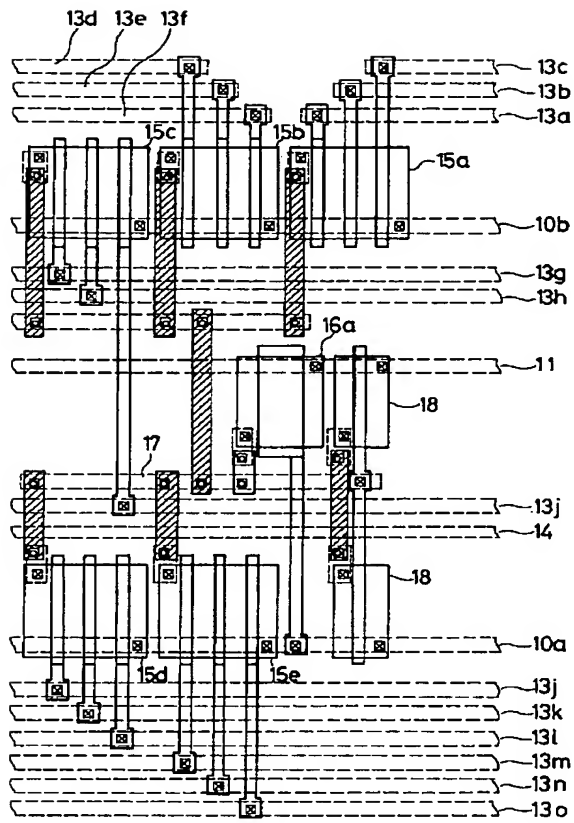
【図39】



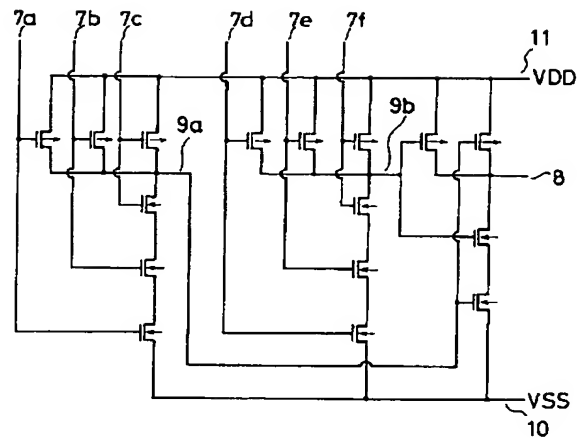
【図43】



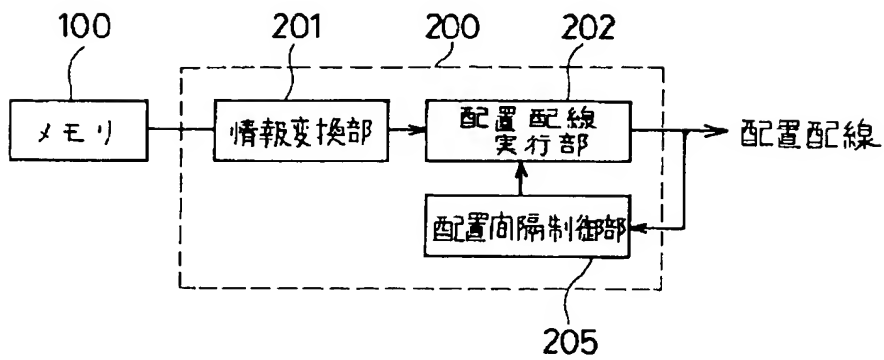
【図40】



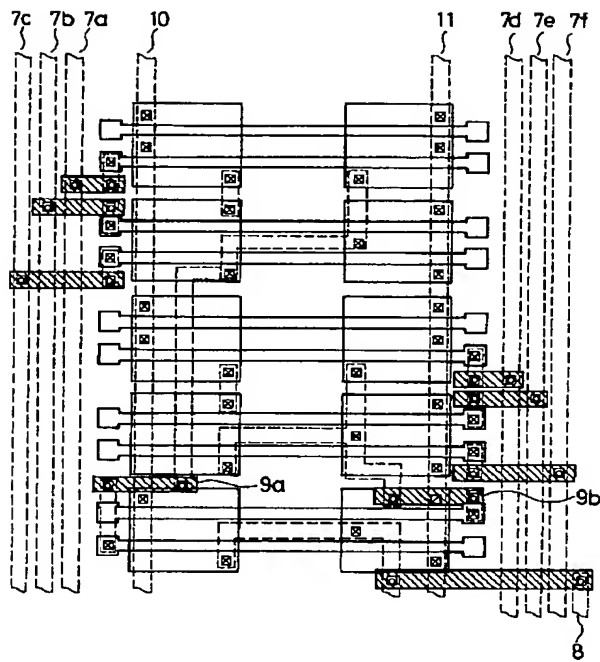
【図46】



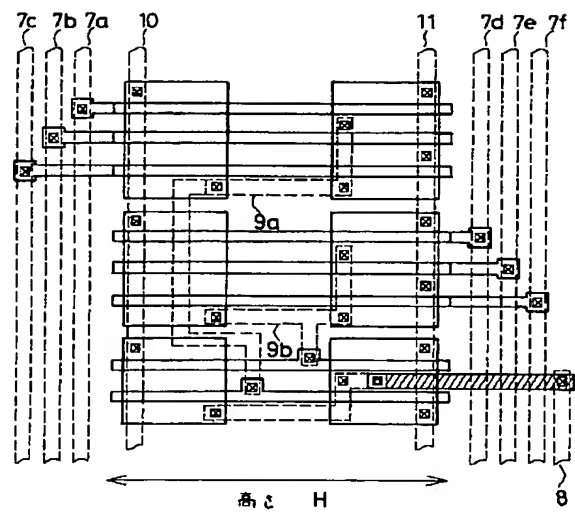
【図41】



【図47】



【図48】



【図50】

